

[0022] Next, an insulating film 8 is formed on the semiconductor substrate 1. The insulating film 8 is formed to be planar in such a manner that, for example, a silicon oxide film is formed thereon by the Chemical Vapor Deposition (CVD) method, and then surface polishing is performed for the surface in a planarization process. As the planarization process, a mode of planarizing the surface of the insulating film 8 by, for example, the etchback method or the Chemical Mechanical Polishing (CMP) method can be employed. Thereafter, through holes are defined in selective regions of the insulating film 8 by use of the lithography technology and the selective etching technology, and then, for example, a conductive polycrystal silicon film or a conductive material such as tungsten is buried in the through holes, thus forming plugs 9 in the through holes.

[0023] Next, after an insulating film 10 such as a thin silicon oxide film is formed on the semiconductor substrate 1, a through hole is defined on the insulating film 10 above a specified plug 9, and then a wiring layer 11 consisting of, for example, an aluminum layer is formed. In this case, the wiring layer 11 becomes a bit line (BL) of the DRAM.

[0024] Next, an insulting film 12 is formed on the semiconductor substrate 1. The insulating film 12 is formed to be planar in such a manner that, for example, a silicon oxide film is formed by the CVD method, and then surface polishing is performed for the surface in the planarization process. In this case, as the insulating film 12, for example, a Phospho-Silicate Glass (PSG) film as a silicon oxide film containing phosphorus, a Boro-Phospho-Silicate Glass (BPSG) film as a silicon oxide film containing boron and phosphorus, a Spin-On-Glass (SOG) film formable by the spin coat method or the like can be applied.

[0025] Thereafter, the through holes are defined in selective regions of the

insulating film 12 and the insulating film 10 thereunder by use of the lithography technology and the selective etching technology, and then, for example, the conductive material such as conductive polycrystal silicon or tungsten is buried in the through holes, thus forming the plugs 13.

[0026] Next, a storage node 14 as an electrode of a capacitor of a Capacitor Over Bitline (COB) type memory cell is formed on the semiconductor substrate 1. The storage node 14 is formed in such a manner that a conductive polycrystal silicon film containing impurities such as phosphorus for example is deposited on the semiconductor substrate 1 by the CVD method, and then patterning is performed therefor by use of the lithography technology and the selective etching technology. In this case, the storage node 14 is provided with a function as a lower electrode in the capacitor, that is an information accumulating capacitor element of the memory cell.

[0027] Next, a dielectric film 15 is deposited on the semiconductor substrate 1 including the storage node 14. The dielectric film 15 has, for example, silicon nitride (Si_3N_4), tantalum pentoxide (Ta_2O_5) or lead zirconate titanate (PZT) deposited thereon. Thereafter, a plate electrode 16 as an electrode of the capacitor is formed on the semiconductor substrate 1. The plate electrode 16 is formed in such a manner that a conductive polycrystal silicon film containing impurities such as phosphorus for example is deposited on the semiconductor substrate 1 by the CVD method, and then patterning is performed by use of the lithography technology and the selective etching technology. In this case, the plate electrode 16 is provided with a function as an upper electrode in the capacitor as an information accumulating capacitor element of the memory cell.

[0028] Next, as shown in Fig. 2, an insulating film 17 as an interlayer insulating film is formed on the semiconductor substrate 1. Thereafter, by

use of the lithography technology and the selective etching technology, through holes (omitted to be shown) are defined in the selective regions of the insulating film 17 according to needs. The insulating film 17 is formed to be planar in such a manner that, for example, the silicon oxide film is formed by the CVD method, and then surface polishing is performed for the surface in the planarization process. As the planarization process, the mode of planarizing the surface of the insulating film 17 by, for example, the etchback method and the CMP method can be employed. Moreover, as the insulating film 17, for example, a PSG film as a silicon oxide film containing phosphorus, a BPSG film as a silicon oxide film containing boron and phosphorus, a SOG film formable by the spin coat method or the like can be applied.

[0029] Thereafter, a wiring layer 18 and a fuse 19 are simultaneously formed on the semiconductor substrate 1 (Fig. 3). In this case, a metal layer such as, for example, an aluminum layer or a copper layer is deposited on the semiconductor substrate 1 by use of the sputtering method, and then the wiring layer 18 and the fuse 19, which are patterned, are simultaneously formed by use of the lithography technology and the selective etching technology. Hence, the fuse 19 can consist of a metal layer made of the same material as that of the wiring layer 18.

[0030] Next, an insulating film 20 as an interlayer insulating film is formed on the semiconductor substrate 1 (Fig. 4). Thereafter, by use of the lithography technology and the selective etching technology, through holes (omitted to be shown) are defined in the selective regions of the insulating film 20 according to needs. The insulating film 20 is formed to be planar in such a manner that, for example, a silicon oxide film is formed by the CVD method, and then surface polishing is performed for the surface in the

planarization process, thus forming the planarized insulating film 20. As the planarization process, a mode of planarizing the surface of the insulating film 20 by the etchback method or the CMP method can be employed. Moreover, as the insulating film 20, for example, a PSG film as a silicon oxide film containing phosphorus, a BPSG film as a silicon oxide film containing boron and phosphorus, a SOG film formable by the spin coat method or the like can be applied.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-87647

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/8242

21/88

S

21/3205

27/10

6 2 1 B

審査請求 未請求 請求項の数8 O L (全 9 頁)

(21)出願番号

特願平9-239755

(22)出願日

平成9年(1997) 9月4日

(71)出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者

相原 陽一郎

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者

川口 恵津子

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人

弁理士 筒井 大和

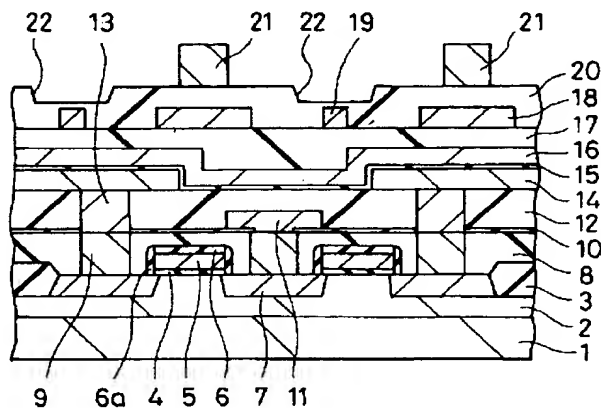
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 容易な製造プロセスによって、高性能のヒューズが形成できるヒューズを有する半導体集積回路装置およびその製造方法を提供する。

【解決手段】 半導体基板1上の絶縁膜17の上に、メタル層からなるヒューズ19と配線層18とを同一製造プロセスによって形成する工程と、半導体基板1の上に、絶縁膜20を形成した後に、その絶縁膜20の上に、多層配線層の最上層としての配線層21を形成する工程とを有するものである。

図 6



1: 半導体基板 20: 絶縁膜
17: 絶縁膜 21: 配線層
18: 配線層
19: ヒューズ

【特許請求の範囲】

【請求項 1】 多層配線層における最上層から 2 番目の配線層と同一の製造プロセスを使用して形成されているメタル層からなるヒューズを有することを特徴とする半導体集積回路装置。

【請求項 2】 多層配線層における最上層の配線層と同一層で前記配線層と同一の材料からなるメタル層からなるヒューズを有し、前記ヒューズの膜厚は、前記配線層の膜厚よりも薄いことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 または 2 記載の半導体集積回路装置であって、前記最上層の配線層は、電源用配線層であることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1～3 のいずれか 1 項に記載の半導体集積回路装置であって、前記ヒューズは、メモリ系の半導体集積回路装置に適用されていることを特徴とする半導体集積回路装置。

【請求項 5】 半導体基板に半導体素子を形成した後に、前記半導体基板の上に多層配線層の一部である配線層および絶縁膜を形成する工程と、前記多層配線層の最上層の絶縁膜の上に、メタル層からなるヒューズおよび配線層を同一製造プロセスによって形成する工程と、前記半導体基板の上に、絶縁膜を形成した後に、前記絶縁膜の上に、多層配線層の最上層としての配線層を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 半導体基板に半導体素子を形成した後に、前記半導体基板の上に多層配線層の一部である配線層および絶縁膜を形成する工程と、前記多層配線層の最上層の絶縁膜の上に、メタル層からなるヒューズおよび配線層を同一製造プロセスによって形成する工程と、前記ヒューズの膜厚を前記ヒューズと同一層の前記配線層の膜厚よりも薄くする工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 5 または 6 記載の半導体集積回路装置の製造方法であって、前記最上層の配線層は、電源用配線層であることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 5～7 のいずれか 1 項に記載の半導体集積回路装置の製造方法であって、前記ヒューズは、メモリ系の半導体集積回路装置に適用されていることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造方法に関し、特に、容易な製造プロセスによって、高性能なヒューズが形成できるヒューズを有する半導体集積回路装置に適用して有効な半導体集積

回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】 本発明者は、ヒューズを有する半導体集積回路装置について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0003】 すなわち、DRAM (Dynamic Random Access Memory) などのメモリ系を有する半導体集積回路装置において、半導体メモリの電気的特性不良を救済するなどの目的のために、欠陥救済用ヒューズなどのヒューズ (ヒューズ素子) を適用しているものがある。

【0004】 そのヒューズとして、CCB (Controlled Collapse Bonding) 接続技術を用いたパッケージが適用されている場合には、クロム (Cr) 膜からなるクロムヒューズが用いられている。また、ワイヤボンディング接続技術を用いたパッケージが適用されている場合には、配線層の最上層のアルミニウム膜などからなるメタルヒューズが用いられている。さらに、半導体集積回路装置の多層配線層における配線層の総数が少ない場合には、多結晶シリコン膜からなる多結晶シリコンヒューズが使用されている。

【0005】 なお、DRAMを有する半導体集積回路装置について記載されている文献としては、例えば特開平 3-214669 号公報に記載されているものがある。

【0006】

【発明が解決しようとする課題】 ところが、前述したクロムヒューズは、膜厚が薄いクロム膜をヒューズとして用いていることによって、加工が容易であるが、用途が CCB 接続技術を用いたパッケージに実装されるチップにのみ限定されるので、適用範囲が狭いという問題点がある。

【0007】 また、前述したメタルヒューズは、配線層の最上層の電源用配線層の製造工程を使用して形成されていることにより、電源用配線層に電流が集中するためにチップの最上層の配線層の膜厚を厚く形成しているので、それと同一膜厚のメタルヒューズを切断する条件を決定することが困難となるという問題点がある。

【0008】 さらに、前述した多結晶シリコンヒューズは、多結晶シリコンヒューズに使用されている多結晶シリコン膜の耐湿性が低いために、パターン化する際に多結晶シリコン膜の上に薄膜の酸化シリコン膜を残した状態で、エッチングする必要があるため、多層配線層の製造工程においてそのエッチング処理を行う場合、エッチングの精度が低下すると共に層間絶縁膜の露出などに起因して異物が発生するなどの問題点がある。

【0009】 さらにまた、前述した問題点を解決するために、ヒューズに使用する導電性膜を多層配線層とは別の製造工程によって、新たに形成する製造技術が考えられるが、製造工程が増大し、製造原価および製造時間が高くなったり、製造歩留りが低下したりするなどの問題

3

点が発生するので、実用化が困難となる。

【0010】本発明の目的は、容易な製造プロセスによって、高性能のヒューズが形成できるヒューズを有する半導体集積回路装置およびその製造方法を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】すなわち、本発明の半導体集積回路装置は、多層配線層における最上層から2番目の配線層と同一の製造プロセスを使用して形成されているメタル層からなるヒューズを有するものである。

【0014】また、本発明の半導体集積回路装置の製造方法は、半導体基板に半導体素子を形成した後に、半導体基板の上に多層配線層の一部である配線層および絶縁膜を形成する工程と、その多層配線層の最上層の絶縁膜の上に、メタル層からなるヒューズおよび配線層を同一製造プロセスによって形成する工程と、半導体基板の上に、絶縁膜を形成した後に、その絶縁膜の上に、多層配線層の最上層としての配線層を形成する工程とを有するものである。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0016】（実施の形態1）図1～図6は、本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。本実施の形態の半導体集積回路装置は、メモリセルにキャパシタを備えているDRAMとヒューズとを有するものである。同図を用いて、本実施の形態の半導体集積回路装置およびその製造方法を具体的に説明する。

【0017】まず、図1に示すように、例えば単結晶シリコンからなるp型の半導体基板1を用意し、先行技術を使用して、DRAMの構成要素であるMOSFETとメモリセルのキャパシタを形成する。

【0018】すなわち、例えば単結晶シリコンからなるp型の半導体基板1にp型のウエル2とn型のウエル（図示を省略）を形成した後、半導体基板1の表面の選択的な領域を熱酸化してLOCOS（Local Oxidation of Silicon）構造の酸化シリコン膜からなる素子分離用のフィールド絶縁膜3を形成する。

【0019】次に、半導体基板1の表面に例えば酸化シリコン膜などからなるゲート絶縁膜4を形成した後、ゲート絶縁膜4およびフィールド絶縁膜3の表面における

4

選択的な領域に、導電性の多結晶シリコン膜からなるゲート電極5を形成する。この場合、ゲート電極5は、その一部がファーストゲートとしてのゲート電極となっている共にDRAMのワード線（ワードライン；WL）となっている。

【0020】次に、ゲート電極5の上に酸化シリコン膜などからなる絶縁膜6を形成した後、リソグラフィ技術と選択エッチング技術とを使用して、ゲート電極5などのパターンを形成した後、ゲート電極5の側壁に、酸化シリコン膜などからなるサイドウォールスペーサ6aを形成する。

【0021】その後、半導体基板1の上のp型のウエル2の表面が露出している領域に例えばリンなどのn型の不純物をイオン注入し、拡散してMOSFETのソースおよびドレインとなるn型の半導体領域7を形成する。また、図示を省略しているが、半導体基板1の上のn型のウエル2の表面が露出している領域に例えばホウ素などのp型の不純物をイオン注入し、拡散してMOSFETのソースおよびドレインとなるp型の半導体領域を形成する。

【0022】次に、半導体基板1の上に絶縁膜8を形成する。絶縁膜8は、例えば酸化シリコン膜をCVD（Chemical Vapor Deposition）法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された絶縁膜8を形成する。平坦化処理は、絶縁膜8の表面を例えばエッチバック法または化学機械研磨（CMP）法により平坦にする態様を採用することができる。その後、リソグラフィ技術および選択エッチング技術を用いて、絶縁膜8の選択的な領域にスルーホールを形成した後、スルーホールに例えば導電性多結晶シリコン膜またはタングステンなどの導電性材料を埋め込んで、スルーホールにプラグ（plug）9を形成する。

【0023】次に、半導体基板1の上に、薄膜の酸化シリコン膜などの絶縁膜10を形成した後、特定のプラグ9の上の絶縁膜10にスルーホールを形成した後、例えばアルミニウム層などからなる配線層11を形成する。この場合、配線層11は、DRAMのビット線（ビットライン；BL）となっている。

【0024】次に、半導体基板1の上に絶縁膜12を形成する。絶縁膜12は、例えば酸化シリコン膜をCVD法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された絶縁膜12を形成する。この場合、絶縁膜12は、例えばリンを含んでいる酸化シリコン膜であるPSG（Phospho Silicate Glass）膜またはホウ素およびリンを含んでいる酸化シリコン膜であるBPSG（Boro Phospho Silicate Glass）膜あるいは回転塗布法により形成できるSOG（Spin On Glass）膜などを適用することができる。

【0025】その後、リソグラフィ技術および選択エッチング技術を用いて、絶縁膜12およびその下部の絶縁

膜10の選択的な領域にスルーホールを形成した後、スルーホールに例えば導電性多結晶シリコンまたはタングステンなどの導電性材料を埋め込んでプラグ13を形成する。

【0026】次に、半導体基板1の上にCOB (Capacitor Over Bitline) 型メモリセルのキャパシタの電極であるストレージ・ノード(蓄積電極)14を形成する。ストレージ・ノード14は、半導体基板1の上に例えばリンなどの不純物が含有されている導電性多結晶シリコン膜をCVD法により堆積した後、リソグラフィ技術および選択エッチング技術を用いてパターン化することにより形成する。この場合、ストレージ・ノード14は、メモリセルの情報蓄積用容量素子であるキャパシタにおける下部電極としての機能を備えているものである。

【0027】次に、ストレート・ノード14を含む半導体基板1の上に誘電体膜15を堆積する。誘電体膜15は、例えば Si_3N_4 (シリコンナイトライド)、 Ta_2O_5 (5酸化タンタル)または強誘電体膜であるPZT(チタン酸ジルコン酸鉛)などを堆積する。その後、半導体基板1の上にキャパシタの電極であるプレート電極16を形成する。プレート電極16は、半導体基板1の上に例えばリンなどの不純物が含有されている導電性多結晶シリコン膜をCVD法により堆積した後、リソグラフィ技術および選択エッチング技術を用いてパターン化することにより形成する。この場合、プレート電極16は、メモリセルの情報蓄積用容量素子であるキャパシタにおける上部電極としての機能を備えているものである。

【0028】次に、図2に示すように、半導体基板1の上に層間絶縁膜としての絶縁膜17を形成する。その後、リソグラフィ技術および選択エッチング技術を用いて、絶縁膜17の選択的な領域に、必要に応じてスルーホール(図示を省略)を形成する。絶縁膜17は、例えば酸化シリコン膜をCVD法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された絶縁膜17を形成する。平坦化処理は、絶縁膜17の表面を例えばエッチバック法またはCMP法により平坦にする態様を採用することができる。また、絶縁膜17は、例えばリンを含んでいる酸化シリコン膜であるPSG膜またはホウ素およびリンを含んでいる酸化シリコン膜であるBPSG膜あるいは回転塗布法により形成できるSOG膜などを適用することができる。

【0029】その後、半導体基板1の上に配線層18とヒューズ19を同時に形成する(図3)。この場合、半導体基板1の上にスパッタリング法を使用して、例えばアルミニウム層または銅層などの金属層を堆積した後、リソグラフィ技術と選択エッチング技術とを使用して、パターン化された配線層18とヒューズ19とを同時に形成する。したがって、ヒューズ19は、配線層18と同一の材料からなる金属層とすることができる。

【0030】次に、半導体基板1の上に層間絶縁膜としての絶縁膜20を形成する(図4)。その後、リソグラフィ技術および選択エッチング技術を用いて、絶縁膜20の選択的な領域に、必要に応じてスルーホール(図示を省略)を形成する。絶縁膜20は、例えば酸化シリコン膜をCVD法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された絶縁膜20を形成する。平坦化処理は、絶縁膜20の表面を例えばエッチバック法またはCMP法により平坦にする態様を採用することができる。また、絶縁膜20は、例えばリンを含んでいる酸化シリコン膜であるPSG膜またはホウ素およびリンを含んでいる酸化シリコン膜であるBPSG膜あるいは回転塗布法により形成できるSOG膜などを適用することができる。

【0031】その後、半導体基板1の上に、電源用配線層としての配線層21を形成する(図5)。この場合、半導体基板1の上にスパッタリング法を使用して、例えばアルミニウム層または銅層などの金属層を厚膜をもって堆積した後、リソグラフィ技術と選択エッチング技術とを使用して、パターン化された配線層21を形成する。配線層21は、電源用配線層として使用されるために、その下層の配線層18などよりも厚膜の配線層とされている。

【0032】次に、リソグラフィ技術および選択エッチング技術を用いて、ヒューズ19の上の絶縁膜20の領域を選択的に取り除いて、その領域に溝22を形成する(図6)。この場合、ヒューズ19の上の溝22は、プローバ(prober)検査などの際に、必要に応じてヒューズ19を切断する際に、容易な切断処理によって、ヒューズ19を容易に切断することができるためのものである。

【0033】図7は、図6に示す本実施の形態の半導体集積回路装置に対応するヒューズ19および電源用配線層としての配線層21の平面レイアウト図である。図6は、図7のA-A矢視断面を示す断面図に対応しているものである。

【0034】また、図8は、本実施の形態の半導体集積回路装置のチップ23におけるヒューズ19および電源用配線層としての配線層21の平面レイアウト図である。図8に示すように、本実施の形態の半導体集積回路装置のチップ23における各々のヒューズ19は、電源用配線層としての配線層21の各々に対応して配置されているものである。なお、本実施の形態の他の態様として、チップ23における各々のヒューズ19は、電源用配線層としての配線層21の特定のもののみに対応して配置されている構造とすることができる。

【0035】前述した本実施の形態の半導体集積回路装置の製造方法によれば、金属層からなるヒューズ19を配線層18と同時に形成していることにより、容易な製造プロセスを使用してヒューズ19を形成できるの

で、ヒューズ19を形成するための新たな金属層を形成する製造工程が省略でき、しかもヒューズ19の製造時の加工条件が緩和できる。その結果、高性能でしかも高信頼度のヒューズ19を容易な製造プロセスをもって製造できると共に製造歩留りを向上できる。

【0036】また、本実施の形態のヒューズ19は、多層配線層における最上層から2番目の配線層である配線層18と同一層の金属層であり、配線層18と同一の材料からなる金属層であることにより、プローバ検査などの際に、必要に応じてヒューズ19を切断する際に、容易な切断処理によって、ヒューズ19を容易に切断することができる。

【0037】さらに、本実施の形態のヒューズ19は、多層配線層における最上層から2番目の配線層である配線層18と同一層の金属層であり、配線層18と同一の材料からなる金属層であることにより、本実施の形態の半導体集積回路装置は、CCB接続技術を用いたパッケージまたはワイヤボンディング接続技術を用いたパッケージなどの種々の態様のパッケージを使用して実装することができるので、実装の際に、設計仕様に応じたパッケージを適用することができる。

【0038】(実施の形態2)図9～図12は、本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。本実施の形態の半導体集積回路装置は、前述した実施の形態1と同様に、メモリセルにキャパシタを備えているDRAMとヒューズとを有するものである。同図を用いて、本実施の形態の半導体集積回路装置およびその製造方法を具体的に説明する。

【0039】まず、図9に示すように、前述した実施の形態1の半導体集積回路装置の製造工程(図1および図2を用いて説明した実施の形態1の半導体集積回路装置の製造工程)と同様な製造工程を使用して、半導体基板1にMOSFETを形成した後に、半導体基板1の上に、配線層11およびキャパシタなどを形成した後に、絶縁膜17を形成する。

【0040】その後、半導体基板1の上に配線層18を形成する。この場合、半導体基板1の上にスパッタリング法を使用して、例えばアルミニウム層または銅層などの金属層を堆積した後、リソグラフィ技術と選択エッチング技術とを使用して、パターン化された配線層18を形成する。

【0041】次に、半導体基板1の上に層間絶縁膜としての絶縁膜20を形成する(図10)。その後、リソグラフィ技術および選択エッチング技術を用いて、絶縁膜20の選択的な領域に、必要に応じてスルーホール(図示を省略)を形成する。この製造工程は、前述した実施の形態1と同様な製造工程を使用している。

【0042】その後、半導体基板1の上に、電源用配線層としての配線層21とヒューズを形成するための金属層21aを同時に形成する(図11)。この場合、半

導体基板1の上にスパッタリング法を使用して、例えばアルミニウム層または銅層などの金属層を厚膜をもって堆積した後、リソグラフィ技術と選択エッチング技術とを使用して、パターン化された配線層21とヒューズを形成するための金属層21aとを同時に形成する。配線層21は、電源用配線層として使用されるために、その下層の配線層18などよりも厚膜の配線層とされている。

【0043】次に、リソグラフィ技術および選択エッチング技術を用いて、ヒューズを形成するための金属層21aの表層部を選択的に取り除いて、金属層21aの膜厚を半分程度にして、電源用配線層としての配線層21の膜厚よりも薄い膜厚の薄膜状態の金属層からなるヒューズ19(前述した実施の形態1におけるヒューズ19と同一形状)を形成する(図12)。したがって、ヒューズ19は、電源用配線層としての配線層21と同一の材料からなる金属層とすることができると共に配線層21よりも薄膜状態の金属層とすることができる。その結果、薄膜状態のヒューズ19は、プローバ検査などの際に、必要に応じてヒューズ19を切断する際に、容易な切断処理によって、ヒューズ19を容易に切断することができる。

【0044】この場合、図12に示す本実施の形態の半導体集積回路装置に対応するヒューズ19と電源用配線層としての配線層21の平面レイアウト図は、前述した実施の形態1の平面レイアウト図(図7)と同様である。

【0045】また、本実施の形態の半導体集積回路装置のチップ23におけるヒューズ19と電源用配線層としての配線層21の平面レイアウト図は、前述した実施の形態1の平面レイアウト図(図8)と同様である。

【0046】前述した本実施の形態の半導体集積回路装置の製造方法によれば、金属層からなるヒューズ19を多層配線層の最上層である配線層21の製造工程を流用して形成していることにより、容易な製造プロセスを使用してヒューズ19を形成できるので、ヒューズ19を形成するための新たな金属層を形成する製造工程が省略でき、しかもヒューズ19の製造時の加工条件が緩和できる。その結果、高性能でしかも高信頼度のヒューズ19を容易な製造プロセスをもって製造できると共に製造歩留りを向上できる。

【0047】また、本実施の形態のヒューズ19は、多層配線層における最上層の配線層21と同一層の金属層(配線層21よりも薄膜状態の金属層)であり、配線層21と同一の材料からなる金属層であることにより、プローバ検査などの際に、必要に応じてヒューズ19を切断する際に、容易な切断処理によって、ヒューズ19を容易に切断することができる。

【0048】さらに、本実施の形態のヒューズ19は、多層配線層における最上層の配線層21と同一層のメ

ル層であり、配線層 2 1 と同一の材料からなるメタル層であることにより、本実施の形態の半導体集積回路装置は、CCB 接続技術を用いたパッケージまたはワイヤボンディング接続技術を用いたパッケージなどの種々の態様のパッケージを使用して実装することができるので、実装の際に、設計仕様に応じたパッケージを適用することができる。

【0049】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0050】例えば、本発明の半導体集積回路装置のヒューズは、欠陥救済用ヒューズまたはヒューズによってタイミング補償などの回路のバイパスを行っているケースなどの種々の用途のヒューズに適用できる。

【0051】また、本発明は、MOSFET、CMOSFET、BiCMOSFETなどを構成要素とするDRAMまたはSRAM (Static Random Access Memory)などのメモリ系を有する半導体集積回路装置およびその製造方法に適用できる。

【0052】さらに、本発明は、MOSFET、CMOSFET、BiCMOSFET、バイポーラトランジスタなどを構成要素とするロジック系などの種々の半導体集積回路装置およびその製造方法に適用できる。

【0053】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0054】(1) 本発明の半導体集積回路装置の製造方法によれば、メタル層からなるヒューズを多層配線層における最上層から 2 番目の配線層と同時に形成していることにより、容易な製造プロセスを使用してヒューズを形成できるので、ヒューズを形成するための新たなメタル層を形成する製造工程が省略でき、しかもヒューズの製造時の加工条件が緩和できる。その結果、高性能でしかも高信頼度のヒューズを容易な製造プロセスをもって製造できると共に製造歩留りを向上できる。

【0055】(2) 本発明の半導体集積回路装置の製造方法によれば、メタル層からなるヒューズを多層配線層の最上層である配線層の製造工程を流用して形成していることにより、容易な製造プロセスを使用してヒューズを形成できるので、ヒューズを形成するための新たなメタル層を形成する製造工程が省略でき、しかもヒューズの製造時の加工条件が緩和できる。その結果、高性能でしかも高信頼度のヒューズを容易な製造プロセスをもって製造できると共に製造歩留りを向上できる。

【0056】(3) 本発明のヒューズは、多層配線層における最上層から 2 番目の配線層である配線層または最上層の配線層と同一層のメタル層であり、配線層と同一の材料からなるメタル層であることにより、プローバ

検査などの際に、必要に応じてヒューズを切断する際に、容易な切断処理によって、ヒューズを容易に切断することができる。

【0057】(4) 本発明のヒューズは、多層配線層における最上層から 2 番目の配線層である配線層または最上層の配線層と同一層のメタル層であり、配線層と同一の材料からなるメタル層であることにより、本発明の半導体集積回路装置は、CCB 接続技術を用いたパッケージまたはワイヤボンディング接続技術を用いたパッケージなどの種々の態様のパッケージを使用して実装することができるので、実装の際に、設計仕様に応じたパッケージを適用することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 である半導体集積回路装置の製造工程を示す断面図である。

【図 2】本発明の実施の形態 1 である半導体集積回路装置の製造工程を示す断面図である。

【図 3】本発明の実施の形態 1 である半導体集積回路装置の製造工程を示す断面図である。

20 【図 4】本発明の実施の形態 1 である半導体集積回路装置の製造工程を示す断面図である。

【図 5】本発明の実施の形態 1 である半導体集積回路装置の製造工程を示す断面図である。

【図 6】本発明の実施の形態 1 である半導体集積回路装置の製造工程を示す断面図である。

【図 7】図 6 に示す半導体集積回路装置に対応するヒューズおよび電源用配線層としての配線層の平面レイアウト図である。

30 【図 8】本発明の実施の形態 1 である半導体集積回路装置のチップにおけるヒューズおよび電源用配線層としての配線層の平面レイアウト図である。

【図 9】本発明の実施の形態 2 である半導体集積回路装置の製造工程を示す断面図である。

【図 10】本発明の実施の形態 2 である半導体集積回路装置の製造工程を示す断面図である。

【図 11】本発明の実施の形態 2 である半導体集積回路装置の製造工程を示す断面図である。

【図 12】本発明の実施の形態 2 である半導体集積回路装置の製造工程を示す断面図である。

40 【符号の説明】

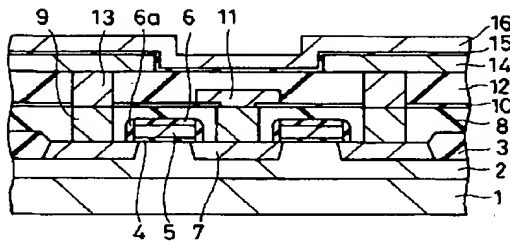
- 1 半導体基板
- 2 ウエル
- 3 フィールド絶縁膜
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 絶縁膜
- 6 a サイドウォールスペーサ
- 7 半導体領域
- 8 絶縁膜
- 50 9 プラグ

11

- 10 絶縁膜
- 11 配線層
- 12 絶縁膜
- 13 プラグ
- 14 ストレージ・ノード
- 15 誘電体膜
- 16 プレート電極
- 17 絶縁膜

【図 1】

図 1

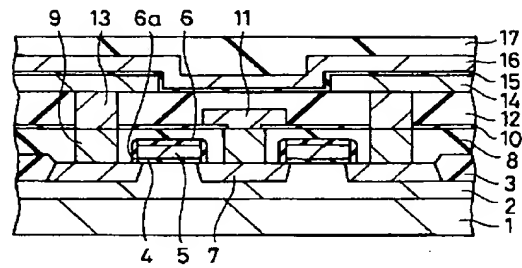


12

- 18 配線層
- 19 ヒューズ
- 20 絶縁膜
- 21 配線層
- 21a メタル層
- 22 溝
- 23 チップ

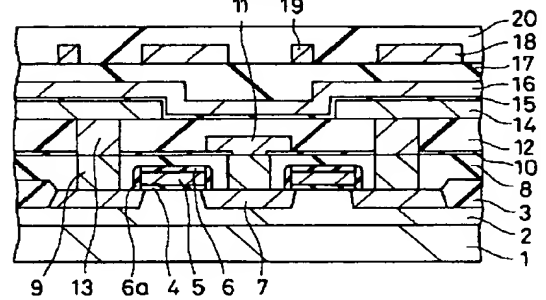
【図 2】

図 2



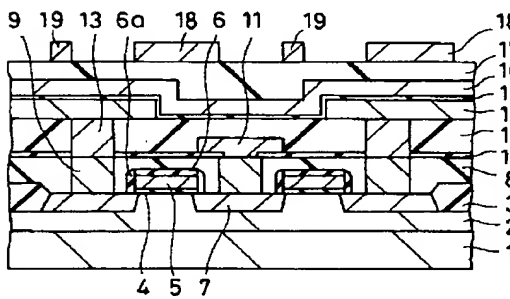
【図 4】

図 4



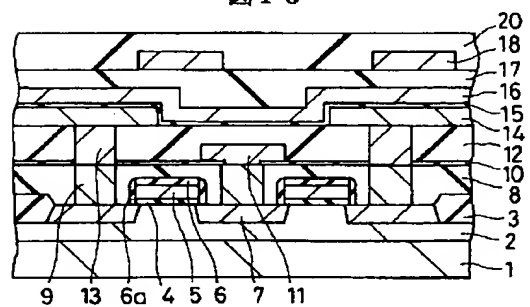
【図 3】

図 3



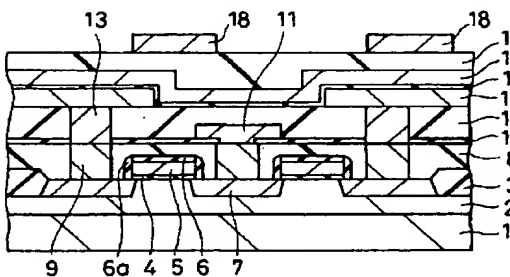
【図 10】

図 10



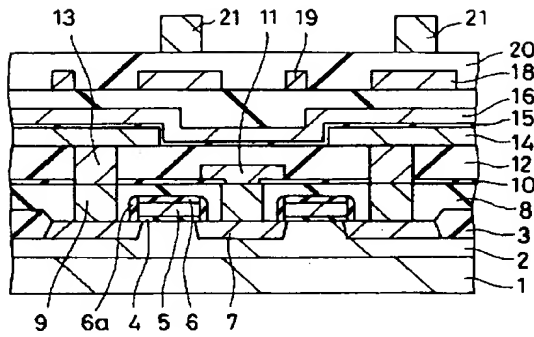
【図 9】

図 9



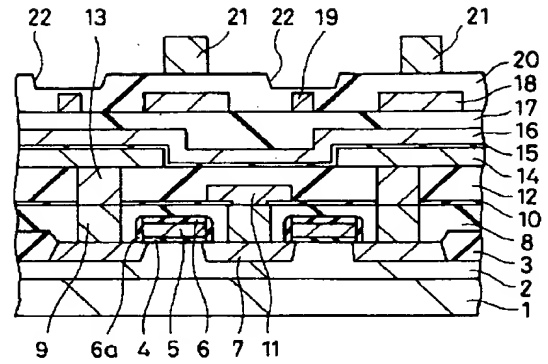
【図 5】

図 5



【図 6】

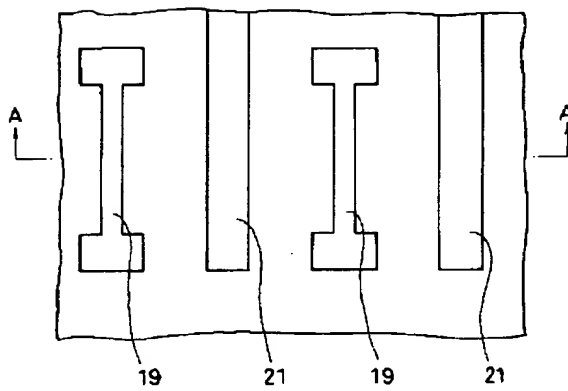
図 6



1: 半導体基板 20: 絶縁膜
17: 絶縁膜 21: 配線層
18: 配線層
19: ビューズ

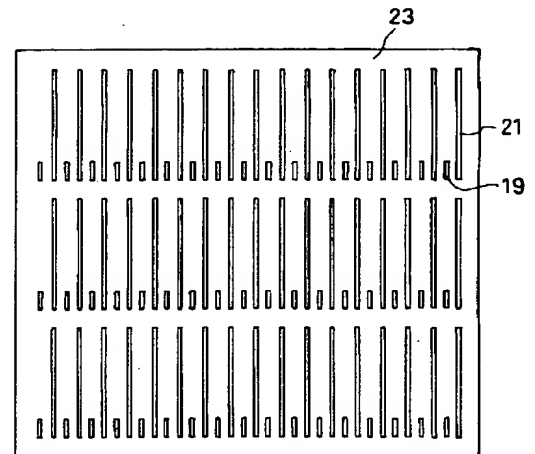
【図 7】

図 7



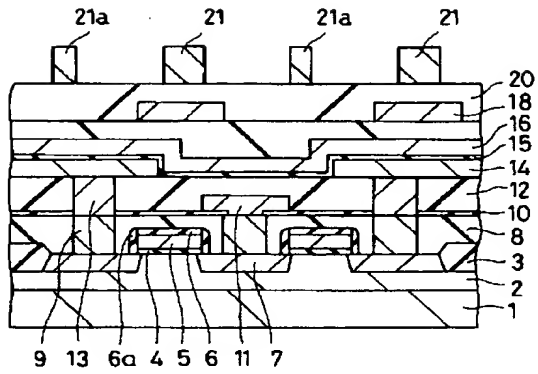
【図 8】

図 8



【図 1 1】

図 1 1



【図 1 2】

図 1 2

